

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-322259

(43)Date of publication of application : 24.11.2000

(51)Int.Cl. G06F 9/38
G06F 1/04
G06F 7/00
G06F 9/30
G06F 15/78

(21)Application number : 11-130028

(71)Applicant : HITACHI LTD

(22)Date of filing : 11.05.1999

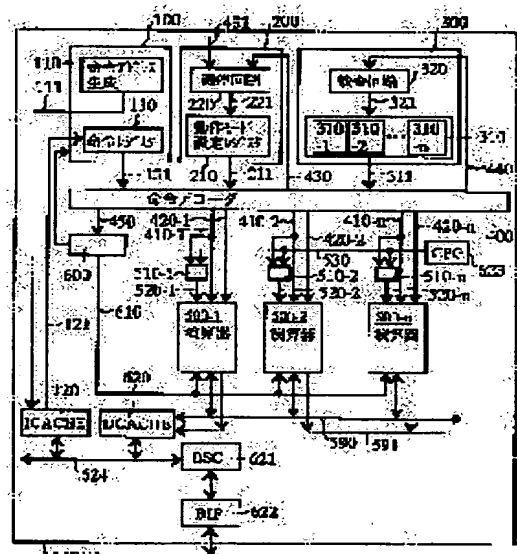
(72)Inventor : TSUNODA MASANOBU
NISHII OSAMU
NAKANO SADASHIGE

(54) DATA PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a data processor which easily selects the high speed or the low power consumption of operation processing to give priority to it in accordance with contents of a program to be executed, the degree of use of computing elements, or the like.

SOLUTION: A control means 400 which decodes an instruction to output a control signal and n ($n \geq 2$) computing elements 500-1 to 500- n which perform operation independently of one another and in parallel in accordance with the control signal outputted from the control means 400 are provided, and two operation modes of the high speed mode where n computing elements are used to execute a maximum of (n) instructions and the low power consumption mode where m ($1 \leq m \leq n-1$) computing elements are used to execute a maximum of (m) instructions are provided. An operation clock signal is supplied to computing elements to which an operation command is given and which are assigned to instruction execution, and the supply of the operation clock signal to computing elements to which an operation command is not given and which are not assigned to instruction execution is stopped.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(43)公開日 平成12年11月24日(2000.11.24)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
G 0 6 F 9/38	3 7 0	G 0 6 F 9/38	3 7 0 A 5 B 0 1 3
			3 7 0 X 5 B 0 2 2
1/04	3 0 1	1/04	3 0 1 C 5 B 0 3 3
7/00		9/30	3 1 0 A 5 B 0 6 2
9/30	3 1 0		3 3 0 A 5 B 0 7 9
審査請求 未請求 請求項の数10 O L (全 14 頁) 最終頁に続く			

審査請求 未請求 請求項の数10 OL (全 14 頁) 最終頁に続く

(21)出願番号 特願平11-130028

(22)出願日 平成11年5月11日(1999.5.11)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 津野田 賢伸

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 西井 修

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100089071

弁理士 玉村 静世

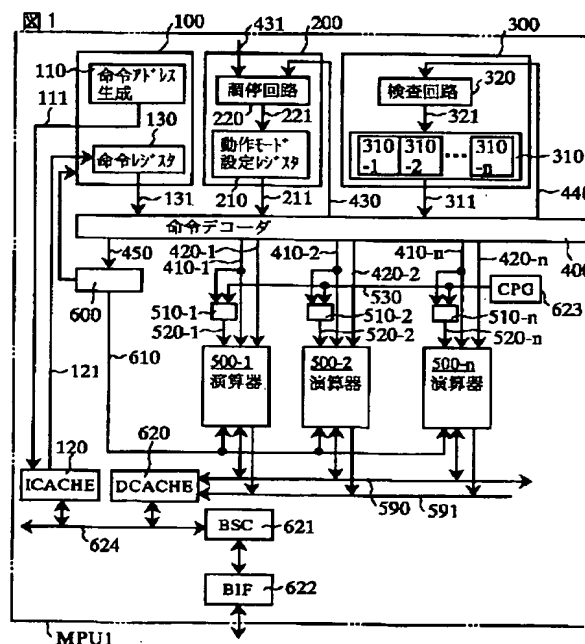
[最終頁に続く](#)

(54) 【発明の名称】 データ処理装置

(57) 【要約】

【課題】 実行すべきプログラムの内容、更には演算器の利用度合等に応じて、演算処理の高速化又は低消費電力を選択して何れかを優先させることが容易なデータ処理装置を提供する。

【解決手段】 命令をデコードして制御信号を出力する制御手段(400)と、前記制御手段から出力される制御信号に従って夫々独立に且つ並列に演算可能な n 個($n \geq 2$)の演算器(500-1~500-n)を備え、最大で前記 n 個の命令を n 個の演算器を用いて実行させる高速モードと、最大で m 個($1 \leq m \leq n-1$)の命令を m 個の演算器を用いて実行させる低電力モードの2つの動作モードを有する。演算指令が与えられて命令実行に割り当てられた演算器には動作クロック信号を供給し、演算指令が与えられずに命令実行に割り当てられなかった演算器には動作クロックの供給を遮断する。



【特許請求の範囲】

【請求項 1】 命令をデコードして制御信号を出力する制御手段と、前記制御手段から出力される制御信号に従って夫々独立に且つ並列に演算可能な n 個 ($n \geq 2$) の演算器を備え、最大で前記 n 個の命令を n 個の演算器を用いて実行させる高速モードと、最大で m 個 ($1 \leq m \leq n-1$) の命令を m 個の演算器を用いて実行させる低電力モードの 2 つの動作モードを有して成るものであることを特徴とするデータ処理装置。

【請求項 2】 前記 n 個の演算器は、同一の演算器を少なくとも 2 個含み、前記制御手段は、前記高速モードでは前記同一演算器の全てに演算指令を与えることを許容し、前記低電力モードでは前記同一演算器の所定の一つに対して演算指令を与えることを許容するものであることを特徴とする請求項 1 記載のデータ処理装置。

【請求項 3】 前記低電力モード又は高速モードを指示する情報が任意に設定可能にされ、設定された情報を前記制御手段に与えるモード設定手段を有して成るものであることを特徴とする請求項 1 又は 2 記載のデータ処理装置。

【請求項 4】 前記低電力モードにおいて、演算指令を受け付け可能な演算器と演算指令の受け付けを抑止する演算器とを指定するための情報が任意に設定可能にされ、設定された情報を前記制御手段に与える動作指定手段を有して成るものであることを特徴とする請求項 1 又は 2 記載のデータ処理装置。

【請求項 5】 前記制御手段は、デコードされた命令の実行に割り当てることができる演算器の有無を判定し、動作モードに応じた最大限の割り当て数に至る前に演算器を割り当て不可能な状態になったときは、当該割り当て不可能な命令の直前の命令までを並列実行させ、当該割り当て不可能な命令の実行は後の命令実行サイクルとすることを特徴とする請求項 1 又は 2 記載のデータ処理装置。

【請求項 6】 前記制御手段からの指示に従って、命令実行に割り当てられた演算器には動作クロック信号を供給し、命令実行に割り当てられなかった演算器には動作クロックの供給を遮断するクロック制御手段を更に備えて成るものであることを特徴とする請求項 1 又は 2 記載のデータ処理装置。

【請求項 7】 前記制御手段は、命令コードの特定ビットのデコード結果にしたがって前記動作モードを判定し、複数の命令コードがそれぞれ異なる動作モードを指定した場合には指定動作モードが異なる直前までの命令を並列に実行させ、その後の動作モードを当該異なった指定動作モードとするものであることを特徴とする請求項 1 又は 2 記載のデータ処理装置。

【請求項 8】 前記制御手段は、命令アドレスの特定ビットの値にしたがって前記動作モードを判定し、複数の命令アドレスがそれぞれ異なる動作モードを指定した場

合には指定動作モードが異なる直前までの命令を並列に実行させ、その後の動作モードを当該異なった指定動作モードとするものであることを特徴とする請求項 1 又は 2 記載のデータ処理装置。

【請求項 9】 夫々の演算器の使用率を計測し、計測値と予め指定された特定の使用率との大小を比較し、1 個以上の特定の演算器の使用率が予め指定された特定の使用率より小さい場合に、低電力モードを指定する手段を有して成るものであることを特徴とする請求項 1 又は 2 記載のデータ処理装置。

【請求項 10】 データ処理装置若しくはその近傍の雰囲気温度を計測し、予め指定された特定の温度との大小を比較し、温度が予め指定された特定の温度より大きい場合に低電力モードを指定する手段を有して成るものであることを特徴とする請求項 1 又は 2 記載のデータ処理装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、データ処理装置に関し、特にプロセッサの動作モードによって同時に使用する演算器の数を制御することにより低消費電力を実現する技術に関し、例えばスーパースカラプロセッサあるいは VLIW (Very Large Scale Instruction Word) プロセッサ等に適用して有効な技術に関する。

【0002】

【従来の技術】近年の高性能マイクロプロセッサは、処理性能を向上させるため複数の命令を同時にデコードし、並列に動作する複数の演算器により同時に実行することで命令あたりの平均実行サイクル数を削減するスーパースカラ技術を採用するものが一般的である。しかしながら並列度を上げるのに伴い同時に動作する回路規模が増大し、その結果として生じる消費電力の増大が処理性能のさらなる向上に対する障壁となっている。

【0003】マイクロプロセッサを含む論理演算装置の実現においては、現在主として CMOS 回路が採用されている。CMOS 回路の消費電力は通常その動作周波数に比例し、電源電圧の二乗に比例する要素が支配的であること、また入力信号が変化しない場合にはほとんど電力を消費しないことを特徴とする。

【0004】このようなマイクロプロセッサにおける第 1 の消費電力低減方式として、動作モード管理機構を設け、実行すべきアプリケーションが存在しない場合にプロセッサ全体を通常の動作モードからクロックを停止させることで低消費電力モードへ移行する手法が実施されている。

【0005】また第 2 の方式として、特開平 5-324139 号公報に記載されているように、マイクロプロセッサ内部の機能ブロックごとに電源制御回路を設け、命令実行に必要と判定された機能ブロックのみ電源供給を行い、実行に不必要と判定された機能ブロックの電源を

遮断する方法、または特開平4-287105号公報に記載されているように、機能ブロックごとにクロック制御回路を設け、命令実行に必要な機能ブロックにのみクロックを供給し、実行に不必要な機能ブロックのクロックを遮断する手法が公知である。ここで機能ブロックの電源を制御する手法においては、一般に機能ブロックでの命令実行に先立ち電源供給開始後電源線の電圧安定期間待機する必要が生じるのに対し、クロックを制御する手法においては、電源制御の際に見られる不安定期間がなくより単純なハードウェアでより高速な制御が可能となるため、クロック制御手法はマイクロプロセッサの消費電力低減方式としてきわめて有効である。

【0006】

【発明が解決しようとする課題】上記第1の従来技術は、実行すべきアプリケーションが存在するかどうかを判定し、実行すべきアプリケーションが存在しない場合にマイクロプロセッサ全体が低消費電力モードへ移行するという粗い電力管理である。したがって、例えば機能ブロックとして整数演算器と浮動小数点演算器を集積したマイクロプロセッサにおいて整数演算命令のみからなるアプリケーションを実行する場合のように、実行するアプリケーションによっては全くあるいはほとんど使用しない機能ブロックが存在する場合、2モードを切り替える方式では特定の機能ブロックのみを停止させるきめ細かい電力管理ができないため、通常の動作モードにおいて不必要な電力消費が発生するだけでなく、低消費電力モードへ移行する期間が非常に限定されるという問題がある。

【0007】上記第2の従来技術は、マイクロプロセッサが内蔵する周辺機能ブロックのうち、アプリケーションが使用しないことが既知の機能ブロックに対する電源またはクロックを遮断する、もしくはそれぞれ独立かつ並列に演算可能な複数の演算器のうち、命令間の競合により命令が発行されず実行すべき命令が存在しない演算器に対する電源またはクロックを遮断するものであり、マイクロプロセッサの整数演算、浮動小数点演算などの演算性能を低減させない範囲で不必要な電力消費を削減する方式である。近年、情報処理装置のマルチメディア化やユーザインタフェースの多様化に伴い、動画像や音声などのマルチメディアデータを取り扱うアプリケーションの高速処理を可能とすべくマイクロプロセッサの高性能化が急速に進んでいる。しかしながら、テキスト処理をはじめとする従来からのアプリケーションにおいては、例えばマイクロプロセッサのピーク性能の10%の性能で実用的な処理速度が得られる。すなわち、演算性能を低減させない従来の低電力化技術では、アプリケーションによっては必要以上に高い演算性能を実現することにより不必要な電力消費が発生するという問題がある。

【0008】本発明の目的は、実行すべきプログラムの

内容、更には演算器の利用度合等に応じて、演算処理の高速化又は低消費電力を選択して何れかを優先させることが容易なデータ処理装置を提供することにある。

【0009】本発明の別の目的は、アプリケーションが必要とする演算性能に応じて同時に命令を実行する演算器をユーザが任意に設定できるようにして、従来よりも柔軟に消費電力の削減を行うことができるデータ処理装置を提供することにある。

【0010】本発明の更に別の目的は、データ処理装置の動作に伴う発熱による熱暴走あるいは熱破壊を防止することができるデータ処理装置を提供することにある。

【0011】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0013】すなわち、データ処理装置は、命令をデコードして制御信号を出力する制御手段(400)と、前記制御手段から出力される制御信号に従って夫々独立に且つ並列に演算可能な n 個($n \geq 2$)の演算器(500-1~500- n)を備え、最大で前記 n 個の命令を n 個の演算器を用いて実行させる高速モードと、最大で m 個($1 \leq m \leq n-1$)の命令を m 個の演算器を用いて実行させる低電力モードの2つの動作モードを有する。

【0014】たとえば、前記 n 個の演算器は、同一の演算器を少なくとも2個含み、前記制御手段は、前記高速モードでは前記同一演算器の全てに演算指令を与えることを許容し、前記低電力モードでは前記同一演算器の所定の一つに対して演算指令を与えることを許容する。

【0015】演算指令が与えられて命令実行に割り当てられた演算器には動作クロック信号を供給し、演算指令が与えられずに命令実行に割り当てられなかった演算器には動作クロックの供給を遮断する。クロック供給停止の他に、動作電源の選択的な供給停止、信号の入力遮断などの手段を採用してもよい。

【0016】上記によれば、高速モードでは低電力モードに比べて多くの演算器を並列動作させることができ、データ処理効率を最優先とすることができる。これに対して低電力モードでは命令実行に割り当て可能な演算器の数が高速モードよりも少ないから、電力消費を低減できる。

【0017】上記データ処理装置には、前記低電力モード又は高速モードを指示する情報が任意に設定可能にされ、設定された情報を前記制御手段に与えるモード設定手段を採用可能である。更に、前記低電力モードにおいて、演算指令を受け付け可能な演算器と演算指令の受け付けを抑止する演算器とを指定するための情報が任意に設定可能にされ、設定された情報を前記制御手段に与え

る動作指定手段を採用してもよい。これにより、動作モードの設定、低電力モードにおいて利用可能な演算器の指定を柔軟に行うことができる。

【0018】前記制御手段は、デコードされた命令の実行に割り当てることができる演算器の有無を判定し、動作モードに応じた最大限の割り当て数に至る前に演算器を割り当て不可能な状態になったときは、当該割り当て不可能な命令の直前の命令までを並列実行させ、当該割り当て不可能な命令の実行は後の命令実行サイクルで行うようにすればよい。

【0019】また、前記制御手段は、命令コードの特定ビットのデコード結果にしたがって前記動作モードを判定してもよい。このとき、複数の命令コードがそれぞれ異なる動作モードを指定した場合には指定動作モードが異なる直前までの命令を並列に実行させ、その後の動作モードを当該異なった指定動作モードとする。

【0020】また、前記制御手段は、命令アドレスの特定ビットの値にしたがって、換言すれば命令が格納されている命令アドレスのエリアにしたがって、前記動作モードを判定してもよい。このとき、複数の命令アドレスがそれぞれ異なる動作モードを指定した場合には指定動作モードが異なる直前までの命令を並列に実行させ、その後の動作モードを当該異なった指定動作モードにすればよい。

【0021】夫々の演算器の使用率を計測し、計測値と予め指定された特定の使用率との大小を比較し、1個以上の特定の演算器の使用率が予め指定された特定の使用率より小さい場合に、低電力モードを指定するようにしてもよい。

【0022】更に、データ処理装置若しくはその近傍の雰囲気温度を計測し、予め指定された特定の温度との大小を比較し、温度が予め指定された特定の温度より大きい場合に低電力モードを指定するようにしてもよい。

【0023】

【発明の実施の形態】《第1のマイクロプロセッサ》図1には本発明に係るデータ処理装置の一例である第1のマイクロプロセッサMPU1が示される。図1において、100は命令制御部であり、32ビットの命令アドレス111を出力する命令アドレス生成回路110と命令レジスタ130を有する。命令アドレス111は命令キャッシュメモリ120に供給され、キャッシュメモリ120は、キャッシュヒットであればその命令を命令バス121を介して命令レジスタ130に供給し、キャッシュミス場合には図示を省略する外部メモリから所要の命令を読み込んでから必要な命令を命令レジスタ130に与える。命令レジスタ130にフェッチされた命令は命令バス131に出力される。

【0024】200で示されるものは動作モード設定回路である。この動作モード設定回路200は、プロセッサの現在の動作モードを示す例えば1ビットの動作モー

ド設定レジスタ210、複数の動作モード更新信号430、431が示す動作モード更新内容を調停し最も優先度の高い更新信号221を出力する調停回路220から構成され、前記レジスタ210に設定されたプロセッサの現在の動作モードを指定する動作モード指定信号211を出力する。動作モード設定レジスタ210は32ビットアドレス空間の特定のアドレス（例えばH'FFFF0000）にマッピングされており、その内容は特定アドレスへのロード命令の実行により動作モード指定信号211を経由して読み出すことができ、また特定アドレスへのストア命令の実行により動作モード更新信号430を経由して書き込みが可能である。動作モード設定レジスタ210の内容が、例えば値1の場合は、マイクロプロセッサMPU1の現在の動作モードが高速モードであることを、値0の場合は低電力モードであることを示す。動作モード更新信号430、431は、例えば値1の場合は高速モードに遷移することを要求するものであり、値0の場合は低電力モードに遷移することを要求するものである。尚、動作モード更新信号431は、同一チップ上に集積された例えば図示を省略するダイレクトメモリアクセスコントローラ（DMAC）などの周辺機能ブロックあるいはチップ外の回路が特定の動作モードへの遷移を要求するための動作モード設定信号である。

【0025】前記調停回路220の一例は図2に示されている。図2において、222はオアゲートであり、この論理構成によれば、動作モード更新信号430による高速モードへの遷移要求の優先度が高くされ、動作モード更新信号431による低電力モードへの遷移要求の優先度が低くなっている。見方を変えれば、高速モードへの遷移要求のほうが優先度が高くされている。

【0026】図1において300で示されるものは演算器分類設定回路である。この演算器分類設定回路300は、後述のn個の演算器500-1~500-nの夫々について、低電力モードで演算指令を発行可能かどうか、換言すれば、低電力モードで動作させることが可能か否かを示すnビットの演算器分類設定レジスタ310、演算器分類更新信号440の更新内容を検査し必要に応じてその内容を修正した更新信号321を出力する検査回路320から構成され、前記レジスタ310に設定された現在の演算器の分類を指定する演算器分類指定信号311を出力する。演算器分類設定レジスタ310は、演算器500-1~500-nのそれぞれに対応する各1ビットの制御ビット310-1~310-nを有し、例えば32ビットアドレス空間の特定のアドレス（例えばH'FFFFFF0010）にマッピングされている。そのレジスタ310の内容は前記特定アドレスへのロード命令の実行により演算器分類指定信号311を経由して読み出すことができ、また、前記特定アドレスへのストア命令の実行により演算器分類更新信号440を

經由して書き込みが可能である。演算器分類設定レジスタ310のあるビットが、例えば値1の場合は低電力モード時に対応する演算器に対して演算指令の発行が可能であることを、値0は低電力モード時に対応する演算器に対して演算指令の発行が禁止されることを、命令デコーダ400に示す。高速モード時にはレジスタ310の設定は無視される。

【0027】前記検査回路320の一例は図3に示される。この構成によれば、命令実行を継続するのに最低限動作させる必要のある演算器（例えば演算器500-1）に対応するビットについて、書き込む値が0か1かにかかわらず常に演算指令を発行可能な値である値1を出力することで、例えば低電力モード時に演算器分類設定レジスタ310に対して全ビットが値0に設定されることによって、マイクロプロセッサがハングアップするような誤使用を防止することができる。

【0028】なお、マイクロプロセッサMPU1のリセット時には、動作モード設定レジスタ210は低電力モードを示す値0に、また演算器分類設定レジスタ310の内容は命令実行を継続するのに最低限動作させる必要のある、演算器に対してのみ演算指令の発行を可能にする値、例えば演算器500-1のみ命令発行を可能にする値10...0に初期化される。

【0029】図1において400で示されるものは、命令バス131上の命令をデコードし、演算器500-1～500-nに対する演算指令発行の有無を示す演算指令発行信号（演算動作イネーブル信号）410-1～410-n、発行された演算指令によって可能にされる演算内容（演算動作の内容）を指定する演算内容指定信号420-1～420-n、動作モード設定レジスタ210へのストア命令をデコードした場合に動作モードの更新内容を示す動作モード更新信号430、演算器分類設定レジスタ310へのストア命令をデコードした場合に演算器分類の更新内容を示す演算器分類更新信号440、命令発行が不可能であることを示す例外検出信号450を出力する命令デコーダである。

【0030】図1において500-1～500-nで示されるものは、n個の演算器である。クロック制御回路510-1～510-nは、演算器500-1～500-nのそれぞれに入力されるクロック520-1～520-nを制御する。例えば演算指令発行信号410-nがイネーブル（値1）のときは、クロック信号520-nにクロック信号530の変化を与えて演算器500-nに供給する。一方、演算指令発行信号410-nがディスエーブル（値0）のときは、クロック信号520-nにはクロック信号530の変化を伝達せず、演算器500-nの動作を停止させる。演算指令信号がディスエーブルとされる演算器の動作を停止させる手法はクロック信号の供給停止に限定されず、各種信号の入力の遮断、動作電源供給の遮断などの手法に変更してもよい。

【0031】例外処理回路600は例外の受け付けを各演算器に通知する例外発生信号610を出力する。更に、命令制御部100に対して例外発生要因に応ずる例外処理用のベクタアドレスを出力する。クロック信号530はクロック発生回路（CPG）623から出力される。前記演算器500-1～500-nは、同種の演算器を複数個含んでいる。例えば、演算器500-1、500-2は共に整数演算器（整数演算器を単にALUとも記す）であり、演算器500-3、500-4は共に積和演算器（積和演算器を単にDSPとも記す）であり、演算器500-5は浮動小数点演算器（浮動小数点演算器を単にFPUとも記す）であるというような態様である。

【0032】前記演算器500-1～500-nによる演算に必要なデータを保持するためにデータキャッシュメモリ（DCACHE）620が設けられている。データキャッシュメモリ（DCACHE）620はキャッシュデータバス590及びキャッシュアドレスバス591を介して演算器500-1～500-nに接続されている。前記命令キャッシュメモリ120及びデータキャッシュメモリ620は内部バス624を介してバスステートコントローラ（BSC）621に接続される。バスステートコントローラ621には、その他に、図示を省略するDMACなどの周辺回路が接続されていてもよい。このバスステートコントローラ621は、図示を省略した周辺回路や外部アドレス空間に対するアクセスに際して、夫々に必要なアクセスサイクルでバスサイクルを起動する。外部アドレス空間に対するアクセスの場合、バスステートコントローラ621は、外部バスインタフェース回路（BIF）622を介して外部バスサイクルを起動する。前記命令キャッシュメモリ120やデータキャッシュメモリ620が一時的に保有するエントリデータは前記外部バスに接続されているメインメモリが保有するデータの一部のデータになっている。

【0033】ここで、特に制限されないが、マイクロプロセッサMPU1は、MIMD（Multiple Instruction stream Multiple Data stream）形式のマイクロプロセッサとされる。したがって、演算器毎に演算命令を実行することになる。その場合、命令レジスタ130から複数の演算命令を読み込んで解釈し、演算命令の実行に割り当てる演算器を決定した後、複数個の演算器を並列に動作させることができる。このとき並列動作させる演算器の割り当ては、前述のように、マイクロプロセッサMPU1に設定された動作モード（低電力モード又は高速モード）と演算器分類指定レジスタ310の内容に従って行なわれる。

【0034】図4には前記マイクロプロセッサMPU1による実行演算器割り当て制御動作の制御手順が例示されている。ただし動作モード設定レジスタ210及び演算器分類設定レジスタ310の内容はそれぞれ特定のア

ドレスに対するストア命令により命令実行に必要な値に設定されているものとする。

【0035】まず、命令アドレス生成回路110が同時に1個または複数の命令を読み出すアドレスを生成する。同時に読み出す命令数は、不要な電力消費を抑えるためプロセッサが高速モードの場合n個、低電力モードではm個、すなわち演算器分類設定レジスタ310において値1が設定されている演算器の数とする。ただし動作モードに拘わらずに常にn個の命令を同時に読み出すことで制御を簡略化してもよい。命令アドレス111に対応する複数の命令は命令キャッシュ120から読み出されて、前記レジスタ130にフェッチされる。

【0036】フェッチされた命令は順番に命令デコーダ400に供給される。供給された命令は、命令デコーダ400によって順番に解読される。即ち、命令デコーダ400は、動作モード指定信号211及び演算器分類指定信号311の指定内容と、命令のデコード結果から解かる演算内容等に基づき、供給された各命令についてそれぞれ実行可能な演算器の割り当てを行う。更に詳しく説明する。命令デコーダ400は動作モード指定信号211を読み出し、現在のプロセッサの動作モードが高速モード（値1）であるか低電力モード（値0）であるかを検査する（ステップS901）。高速モードの場合はn個の演算器全てのうち、命令iを実行可能かつ命令未割り当ての演算器を探索し（ステップS902-1）、低電力モードの場合は演算器分類指定信号311において値1をもつ低電力モード時に演算指令を供給可能なm個の演算器のうち、命令iを実行可能かつ命令未割り当ての演算器を探索する（ステップS902-2）。各モードで割り当て可能な演算器が存在する場合（ステップS903-1、S903-2）、該演算器の1個を命令iの実行演算器として割り当て（ステップS904-1、S904-2）、存在しない場合には命令iを含む命令i以降のすべての命令について演算器割り当てを中止する。中止したときは、そこまで演算器割り当てが済んだ命令を並列的に実行させ、その後、続きの命令に対して、前記ステップS901から処理が開始される。但し、命令iが動作モード設定レジスタ210または演算器分類設定レジスタ310の設定値を更新する命令の場合（ステップS905-1、S905-2）、命令iを含まず命令i以降の全ての命令について演算器割り当てを中止する。すなわち、レジスタ210あるいはレジスタ310の値を更新する命令iの直前の命令を、演算器を割り当てて一連の命令の最後の命令とし、命令iの実行結果を直ちに次サイクルの演算器割り当てに反映させるようにする。換言すれば、動作モード設定レジスタ210または演算器分類設定レジスタ310の設定値を更新する命令の実行を優先させる、ということである。これにより高速モードで動作すべき命令列と低電力モードで動作すべき命令列が同時に発行される、あるいは意図

しない演算器に対して命令が発行されるという矛盾を回避することができる。

【0037】以上の操作を、ステップS906-1とS906-2又はS907-1とS907-2を経て所定の回数だけ繰り返すことにより、実行演算器の割り当てが完了する。

【0038】尚、低電力モードにおいてレジスタ130に保持された命令のうち最も先行する命令についての演算器割り当てが不可能な場合（ステップS908）、命令デコーダ400は命令実行不可能であることを示す例外検出信号450として、例えば値1を出力する。命令デコーダ400は、高速モード及び低電力モードにおいて1個以上の命令について演算器割り当てが可能な場合は前記信号450を値0にしている。

【0039】そして、命令デコーダ400は演算器割り当て結果に基づき、各演算器500-1～500-nに対し演算指令信号410-1～410-n及び演算内容指定信号420-1～420-nを出力する。演算指令信号410-1～410-nは、命令の実行に割り当てられた演算器には値1を、割り当てられなかった演算器には値0を出力する。演算内容指定信号420-1～420-nは、命令の割り当てられた演算器には割り当てられた命令を実行するのに必要な制御信号（命令デコーダでデコードされた制御信号）を、命令の割り当てられなかった演算器には例えば前サイクルと同一の信号、或いは、ノンオペレーションを指示する信号等の所定の信号が出力される。

【0040】命令指令信号410-1～410-nをもとに、クロック制御回路510-1～510-nは、プロセッサのクロック信号530から各演算器500-1～500-nに入力すべき演算器クロック信号520-1～520-nを生成する。即ち、クロック制御回路510-1～510-nの内、命令実行に割り当てられた演算器に対応するクロック制御回路はクロック信号530を演算器クロックとして出力し、命令実行に割り当てられなかった演算器に対応するクロック制御回路は例えば値0の固定値を出力する。これにより、命令実行に割り当てられない演算器へのクロック信号の供給が遮断され、内部回路の不必要なスイッチングによる電力消費を削減することができ、所要の演算性能に応じて必要最小限の電力のみを消費する制御が実現される。

【0041】命令デコーダ400が命令実行不可能であることを示す例外検出信号450として例外検出状態（値1）を出力した場合、例外処理回路600は該例外が受け付け可能であれば受け付け、例外発生信号610に対し例えば値1を出力する。例外が受け付けられた場合、演算器500-1～500-nのうち例外を発生させた命令以降の命令を実行している演算器はその演算を中止する。

【0042】ここで、演算器割り当て処理の更に具体的

な例を挙げる。例えば、マイクロプロセッサMPU1は、演算器500-1~500-5として、ALU500-1、ALU500-2、DSP500-3、DSP500-4、FPU500-5の合計5個の演算器を備えているとする。

【0043】このとき、低電力モードが指定されていて、レジスタ310の制御ビット310-1~310-nは、ALU500-1とDSP500-3に演算指令を発行可能とするデータが設定されているとする。例えば、マイクロプロセッサMPU1が2個のDSP命令を読み込んだ場合、一つのDSP500-3だけが動作可能であるから、読み込んだ一つのDSP命令をDSP500-3に実行させ、ALU500-1は動作クロック信号が遮断される。最初のDSP命令の実行終了後、次のDSP命令の実行にもDSP500-3が割り当てられて実行される。マイクロプロセッサMPU1がDSP命令とALU命令を読み込んだ場合は、一つのALU500-1と一つのDSP500-3が動作可能であるから、読み込んだ一つのDSP命令の実行にDSP500-3を割り当て、読み込んだ一つのALU命令の実行にALU500-1を割り当て、ALU500-1及びDSP500-3が並列的に演算動作される。何れの場合も、ALU500-2、DSP500-4、FPU500-5の動作クロック信号は遮断される。

【0044】上記条件のとき、高速モードが指定されている場合には、レジスタ310の制御ビット310-1~310-nは無視される。マイクロプロセッサMPU1が複数のCPU命令と複数のDSP命令を読み込んだ場合、読み込んだ一つのALU命令をALU500-1に、読み込んだもう一つのALU命令をALU500-2に、読み込んだ一つのDSP命令をDSP500-3に、読み込んだもう一つのDSP命令をDSP500-4に割り当て、その後、ALU500-1、ALU500-2、DSP500-3、DSP500-4に夫々の命令デコード結果にしたがって演算制御信号420-1、420-2、420-3、420-4が与えられ、それらは並列的に演算動作する。

【0045】《第2のマイクロプロセッサ》次に、本発明に係るデータ処理装置の第2の例である第2のマイクロプロセッサについて説明する。図5には第2のマイクロプロセッサの命令フォーマットを示す。第1のマイクロプロセッサMPU1では特定アドレスに対してストア命令を実行することで動作モード設定レジスタ210の内容を更新してマイクロプロセッサMPU1の動作モードを指定するように構成したが、第2のマイクロプロセッサでは、命令コード自体に動作モードを指定するビットを設け、これによって、命令毎にマイクロプロセッサの動作モードを指定できるようにした。

【0046】図5の命令フォーマットにおいて、特に制限されないが、命令700は32ビットのビット長を有

し、その中に、該命令を実行すべき動作モードを指定する動作モード指定ビット701が、命令コード700のビット31として割り当てられている。動作モード指定ビット701が例えば値0の場合高速モードを指定し、値1の場合低電力モードを指定する。ビット701が高速モードを指定する命令を高速モード命令、ビット701が低電力モードを指定する命令を低電力モード命令と呼ぶ。尚、命令コードの700のビット30~ビット0は所定の形式をもち、演算の種類、レジスタ番号、即値などを指定する。

【0047】図5の命令フォーマットを有する第2のマイクロプロセッサは、図1の構成に対し、これに代えて、命令デコーダ400に動作モード指定ビット701のデコード機能を追加すればよい。その他の構成は図1と同様であるので、第2のマイクロプロセッサについては図示を省略してある。

【0048】図6には前記第2のマイクロプロセッサによる実行演算器割り当て制御動作の制御手順が例示されている。第1のマイクロプロセッサMPU1と同様に、命令デコーダ400は動作モード指定信号211を読み出し現在のプロセッサの動作モードが高速モード（値1）であるか低電力モード（値0）であるかをチェックする（ステップS911）。高速モードの場合、まず命令iが高速モード命令であることを調べ（ステップS912-1）、高速モード命令である場合はn個の演算器全てのうち、命令iを実行可能で且つ命令実行未割り当ての演算器を探索する（S913-1）。低電力モードの場合、まず、命令iが低電力モード命令であることを調べ（ステップS912-2）、低電力モード命令である場合は、演算器分類指定信号311において値1をもつ低電力モード時に演算指令を供給可能なm個の演算器のうち、命令iを実行可能かつ命令実行未割り当ての演算器を探索する（ステップS913-2）。高速モードにおいて命令iが低電力モード命令の場合、あるいは低電力モードにおいて命令iが高速モード命令である場合、命令iを含む命令i以降の全ての命令について演算器割り当てを中止すると共に、現在の動作モード指定信号211の内容を反転させた値を動作モード更新信号430として出力し、その結果を次サイクルの演算器割り当てに反映させる。これにより高速モード命令と低電力モード命令に関する演算指令が同時に発行されないことを保証できる。結局、低電力モードで高速モード命令をデコードしたときはその直前までの低電力モード命令に関して演算器割り当てを行った命令を並列実行し、その後で、当該次の高速モード命令を実行するようになる。同様に、高速モードで低電力モード命令をデコードしたときはその直前までの高速モード命令に関して演算器割り当てを行った命令を並列実行し、その後で、当該次の低電力モード命令を実行するようになる。

【0049】各モードで命令iを割り当て可能な演算器

が存在する場合（ステップS914-1、S914-2）、該演算器の1個を命令iの実行演算器として割り当て（ステップS915-1、S915-2）、存在しない場合には命令iを含む命令i以降の全ての命令について演算器割り当てを中止する。但し、命令iが演算器分類設定レジスタ310の設定値を更新する命令の場合（ステップS916-1、S916-2）、命令iを含まず命令i以降のすべての命令について演算器割り当てを中止する。これによりレジスタ310の値を更新する命令iは、演算器を割り当てる一連の命令の最後の命令になり、マイクロプロセッサの動作モードに対して意図しない動作モードの命令による演算指令が発行されないことを保証できる。換言すれば、高速モード命令と低電力モード命令が並列に実行されるという競合状態を回避できる。以上の操作を所定の回数繰り返す（ステップS917-1、S917-2、S918-1、S918-2）ことにより、実行演算器の割り当てが完了する。

【0050】なお、第1のマイクロプロセッサMPU1と同様に、低電力モードにおいてレジスタ130に保持された命令のうち最も先行する命令についての演算器割り当てが不可能な場合（ステップS919）、命令デコーダ400は例外検出信号450として例えば値1を出力する。

【0051】《第3のマイクロプロセッサ》図7には本発明に係るデータ処理装置の別の例である第3のマイクロプロセッサMPU3が示される。前記第2のマイクロプロセッサの例では、命令コード中に動作モードを指定するビット（ビット31）を設けることにより、命令毎にプロセッサの動作モードを指定した。第3のマイクロプロセッサMPU3では、32ビットのアドレス空間を分割し、命令の配置されたアドレスエリアにより該命令の動作モードを指定するものである。図7における図1との差異は、命令アドレス111が命令デコーダ400に入力されていることである。このマイクロプロセッサMPU3の場合は、次に示すように32ビットの命令アドレスのうちビット31及びビット30の2ビットのみ命令デコーダ400に入力している。即ちアドレス空間を4分割している。第3のマイクロプロセッサMPU3のその他の構成は第1のマイクロプロセッサMPU1と同じである。

【0052】図8にはマイクロプロセッサMPU3のアドレス空間が例示されている。図8において、800は32ビットのアドレス空間、802は該領域に配置された命令が高速モードで実行される高速モード空間であり、801、803および804は該領域に配置された命令が低電力モードで実行される低電力モード空間である。すなわちビット31が0かつビット30が1である領域が高速モード空間である。なお、プロセッサのリセット時には低電力モード空間の例えばアドレスH'A0000000に分岐する。

【0053】次に図9に示す実行演算器割り当てのフローチャートを用いて第3のマイクロプロセッサMPU3の演算器割り当ての制御手順を説明する。

【0054】第2のマイクロプロセッサと同様、命令デコーダ400は動作モード指定信号211を読み出し、現在のプロセッサの動作モードが高速モード（値1）であるか低電力モード（値0）であるかを検査する（ステップS921）。高速モードの場合、まず命令iが高速モード空間に配置されていることを調べ（ステップS922-1）、高速モード空間に配置されている命令である場合はn個の演算器すべてのうち、命令iを実行可能かつ命令未割り当ての演算器を探索する（ステップS923-1）。低電力モードの場合、まず命令iが低電力モード空間に配置されていることを調べ（ステップS922-2）、低電力モード空間に配置されている命令である場合は演算器分類指定信号311において値1をもつ低電力モード時に演算指令を供給可能なm個の演算器のうち、命令iを実行可能かつ命令未割り当ての演算器を探索する（ステップS923-2）。高速モードにおいて命令iが低電力モード空間に配置された命令の場合、あるいは低電力モードにおいて命令iが高速モード空間に配置された命令の場合、命令iを含む命令i以降の全ての命令について演算器割り当てを中止すると共に、現在の動作モード指定信号211の内容を反転させた値を動作モード更新信号430として出力し、その結果を次サイクルの演算器割り当てに反映させる。これにより高速モード空間の命令と低電力モード空間の命令が並列的に実行されないことを保証できる。各モードで命令iを割り当て可能な演算器が存在する場合（ステップS924-1、S924-2）、該演算器の1個を命令iの実行演算器として割り当て（ステップS925-1、S925-2）、存在しない場合には命令iを含む命令i以降の全ての命令について演算器割り当てを中止する。ただし、命令iが演算器分類設定レジスタ310の設定値を更新する命令の場合（ステップS926-1、S926-2）、命令iを含まず命令i以降の全ての命令について演算器割り当てを中止する。これによりレジスタ310の値を更新する命令iは、演算器を割り当てる一連の命令の最後の命令になり、マイクロプロセッサの動作モードに対して意図しない動作モードの命令による演算指令が発行されないことを保証できる。換言すれば、高速モード空間の命令と低電力モード空間の命令が並列に実行されるという競合状態を回避できる。

【0055】以上の操作を所定の回数繰り返す（ステップS927-1、S927-2、S928-1、S928-2）ことにより、実行演算器の割り当てが完了する。

【0056】なお、第2のマイクロプロセッサと同様、低電力モードにおいてレジスタ130に保持された命令のうち最も先行する命令についての演算器割り当てが不

可能な場合（ステップS929）、命令デコーダ400は例外検出信号450として例えば値1を出力する。

【0057】《第4のマイクロプロセッサ》図10には本発明に係るデータ処理装置の別の例である第4のマイクロプロセッサMPU4が示される。前記第1乃至第3のマイクロプロセッサの例では、命令若しくはアドレス空間から一意に動作モードが決定するのに対し、第4のマイクロプロセッサの例では、演算器の実際の使用率を計測することにより、動的かつより柔軟な電力制御を可能にしようとするものである。

【0058】図10において、540-1～540-nは、演算器500-1～500-nのそれぞれに対応し演算器が命令を実行中の場合には例えば値1を出力し実行中でない場合には値0を出力する命令実行信号である。550-1～550-nは、各演算器の使用率、すなわち所定のサイクル期間のうち命令実行信号540-1～540-nが実行中（値1）を示した期間を計測し、計測結果が所定の使用率より小さい場合には例えば値0を、所定の使用率以上の場合には値1を大小比較結果560-1～560-nとして出力する使用率計測回路である。

【0059】図11に、本実施例における使用率計測回路550-nの構成図を示す。図11において、551-nはレジスタ551-n-1～551-n-32からなる32段のFIFOであり、553-nはFIFOの各段の出力552-n-1～552-n-32のうち値1の本数を示す信号554-nを出力する計数回路である。555-nは、所定の値556-nを出力する閾値レジスタである。557-nは、出力554-nが出力556-nより小さい場合に大小比較結果560-nとして値0を出力し、出力554-nが出力556-n以上の場合に値1を出力する比較回路である。FIFO551-nには命令実行信号540-n（前記演算指令信号410-nと等価の信号）を入力し、毎サイクルその値をサンプリングする。閾値レジスタ555-nは演算器500-nに対して命令発行を許可する最小の使用率を保持し、その内容は特定のアドレスに対するロードストア命令により読み書きが可能である。なお閾値レジスタ555-nに値0が設定されている場合は例外的に比較出力560-nを常に値1にするが、これは使用率計測回路550-nを無効化すると等価である。

【0060】図12に、本実施例における調停回路220の構成図を示す。図12において、223はアンドゲートであり、本構成によって、動作モード更新信号431と、比較結果560-1～560-nのうちレジスタ555が値0でマスクされていなかった比較結果による低電力モードへの遷移要求との優先度が相互に同一で高くされ、動作モード更新信号430による高速モードへの遷移要求の優先度が低くなる。換言すれば、使用率が閾値よりも小さい演算器に関する比較結果が値0に変化

されるので、その変化が優先されて、信号221に反映される。要するに、所定の演算器に関し、高速モードにおいて使用率が閾値よりも小さい場合には、マイクロプロセッサMPU4は低電力モードに変化される。

【0061】本構成においては比較結果560-2～560-nが全てアンドゲート223に入力されているが、動作モード遷移を要求する比較結果のみ、例えば560-2のみ入力することも可能である。

【0062】図13に、本実施例における検査回路320の構成図を示す。図13において、322-2～322-nはアンドゲートであり、第1のマイクロプロセッサMPU1と同様に命令実行を継続するのに最低限動作させる必要のある演算器500-1に対応するビット1については、演算器分類更新信号440あるいは比較結果560-1の値にかかわらず常に命令発行可能を示す値1を出力することで誤使用を防止することができる。本構成により比較結果560-2～560-nのうち演算器の使用率が所定の値より小さいことを示す値0となる演算器について、対応する演算器分類設定レジスタ310のビットを命令発行不可を示す値0にする。

【0063】本実施例において、調停回路220および検査回路320は協調して動作し、比較結果560-2～560-nのうち所定の使用率よりも小さいことを示す値0が1個以上存在する場合、調停回路220を通じて動作モード設定レジスタ210の内容を更新しプロセッサを低電力モードに遷移させるとともに、演算器分類設定レジスタ310の対応するビットを更新しその演算器への命令発行を抑止する。なお比較結果560-2～560-nのうち例えば560-2と560-3など特定の複数の比較結果が値0であることを検出し、低電力モードに遷移するとともに対応する演算器分類設定レジスタ310のビットを値0にする制御も可能である。

【0064】これにより例えば高速モードと低電力モードの演算性能の差が所定の値より小さい場合、ソフトウェアに依存せずに高速モードから低電力モードに遷移し電力消費を削減することができる。また回路規模が非常に大きくしたがって電力消費の大きな演算器が特定の使用率以下に低下した場合、該演算器を停止させソフトウェアエミュレーションにより必要な演算を実行することで電力消費を削減することができる。

【0065】《第5のマイクロプロセッサ》図14には本発明に係るデータ処理装置の別の例である第5のマイクロプロセッサMPU5が示される。第5のマイクロプロセッサMPU5の例では、マイクロプロセッサMPU5の温度が所定の温度より高温の場合に低電力モードへ遷移し電力消費を削減することでマイクロプロセッサの熱暴走あるいは熱破壊を防止するものである。

【0066】図14において、570はプロセッサの温度を計測し、計測された温度が所定の温度より大きい値の場合に値0、計測された温度以下の場合に値1となる

比較結果 580 を出力する温度計測回路である。マイクロプロセッサ MPU5 のその他の構成は図 1 の第 1 のマイクロプロセッサ MPU1 と同じである。

【0067】図 15 に、本実施例における温度計測回路の構成図を示す。図 15 において、571 は温度に対応するアナログ値 572 を出力するプロセッサチップ上に集積された、またはプロセッサ外に配置された温度センサである。573 はアナログ値 572 をデジタル値 574 に変換する AD 変換器である。575 はプロセッサが安全に動作可能な最高温度に対応するデジタル値 576 を出力する書き換え不可能なレジスタである。577 はデジタル値 574 がデジタル値 576 より大きい場合に大小比較結果 580 として値 0 を出力しデジタル値 574 がデジタル値 576 以下の場合に値 1 を出力する比較回路である。

【0068】図 16 に、本実施例における調停回路 220 の構成図を示す。図 16 において、224 はアンドゲートとオアゲートの複合ゲート（アンド・オア複合ゲート）であり、本構成によって比較結果 580 による低電力モードへの遷移要求の優先度を高くし、動作モード更新信号 430、431 による高速モードへの遷移要求の優先度を低くすることができる。

【0069】図 17 に、本実施例における調停回路 320 の構成図を示す。図 17 において、323-2~323-n はアンドゲートであり、第 1 のマイクロプロセッサ MPU1 と同様に命令実行を継続するのに最低限動作させる必要のある演算器 500-1 に対応するビット 1 については、演算器分類更新信号 440 あるいは比較結果 580 の値に拘わらず常に演算指令を出力可能を示す値 1 を出力することで誤使用を防止することができる。本構成により比較結果 580 が、プロセッサの温度が所定の温度より高いことを示す値 0 の場合に、命令実行に最低限必要な演算器 500-1 を除く全ての演算器に対応する演算器分類設定レジスタ 310 のビットを演算指令の発行不可を示す値 0 にする。

【0070】第 5 のマイクロプロセッサ MPU5 において、レジスタ 575 に設定されたプロセッサの温度が安全に動作できる最高温度を超えた場合、調停回路 220 を通じて動作モード設定レジスタ 210 の内容を更新し、マイクロプロセッサ MPU5 を低電力モードへ遷移させると共に、命令実行に必要な最低限の演算器以外の演算器については演算器分類設定レジスタ 310 の対応するビットを更新し、演算指令の発行を抑止する。これにより例えば電源回路や冷却機構の故障によりマイクロプロセッサ MPU5 が異常加熱した場合、直ちに低電力モードに遷移して、消費電力を削減することで、マイクロプロセッサの熱暴走あるいは破壊を防止することができる。

【0071】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限

定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0072】例えば、第 2 のマイクロプロセッサにおける命令コードによる動作モード指定、第 3 のマイクロプロセッサにおけるアドレス空間による動作モード指定、第 4 のマイクロプロセッサにおける演算器使用率による動作モード指定、第 5 のマイクロプロセッサにおける温度による動作モード指定のうち、複数の動作モード指定方法を任意に組み合わせることで、さらに柔軟な電力管理が実現可能である。

【0073】また、命令制御部やデコーダなどによって構成される制御部の論理構成は、ハードワイヤードロジックやマイクロプログラムなど、どのような形式であってもよい。

【0074】また、本発明のデータ処理装置は、マイクロプロセッサに限定されず、マイクロコンピュータ、データプロセッサ、シングルチップマイクロコンピュータ、システム LSI など、その称呼の如何に拘わらず、半導体集積回路や電子回路に広く適用することができる。

【0075】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0076】すなわち、実行すべきプログラムの内容、更には演算器の利用度等に応じて、演算処理の高速化又は低消費電力を選択して何れかを優先させることが容易なデータ処理装置を実現することができる。

【0077】アプリケーションが必要とする演算性能に応じて同時に命令を実行する演算器を任意に設定し、動作しない演算器のクロックなどを遮断して動作を停止させることで、柔軟性の高い消費電力の削減を可能とするデータ処理装置を実現することができる。

【0078】また、データ処理装置の温度が安全に動作できる所定の温度を超えた場合に、高速モードから低電力モードへ遷移し消費電力を削減することで、熱暴走あるいは破壊を防止することができる。

【図面の簡単な説明】

【図 1】本発明に係るデータ処理装置の一例である第 1 のマイクロプロセッサのブロック図である。

【図 2】第 1 のマイクロプロセッサに内蔵される調停回路の一例を示す論理回路図である。

【図 3】第 1 のマイクロプロセッサに内蔵される検査回路の一例を示す論理回路図である。

【図 4】第 1 のマイクロプロセッサ MPU1 による実行演算器割り当て制御動作の制御手順の一例を示すフローチャートである。

【図 5】本発明に係るデータ処理装置の第 2 の例である第 2 のマイクロプロセッサの命令フォーマットを示すフォーマット図である。

【図 6】第 2 のマイクロプロセッサによる実行演算器割り当て制御動作の制御手順を例示するフローチャートである。

【図 7】本発明に係るデータ処理装置の別の例である第 3 のマイクロプロセッサのブロック図である。

【図 8】第 3 のマイクロプロセッサのアドレス空間を例示するアドレスマップである。

【図 9】第 3 のマイクロプロセッサによる実行演算器割り当て制御動作の制御手順を例示するフローチャートである。

【図 10】本発明に係るデータ処理装置の別の例である第 4 のマイクロプロセッサのブロック図である。

【図 11】第 4 のマイクロプロセッサに含まれる使用率計測回路の一例を示すブロック図である。

【図 12】第 4 のマイクロプロセッサに含まれる調停回路の一例を示すブロック図である。

【図 13】第 4 のマイクロプロセッサに含まれる検査回路の一例を示すブロック図である。

【図 14】本発明に係るデータ処理装置の別の例である第 5 のマイクロプロセッサのブロック図である。

【図 15】第 5 のマイクロプロセッサに含まれる温度計測回路の一例を示すブロック図である。

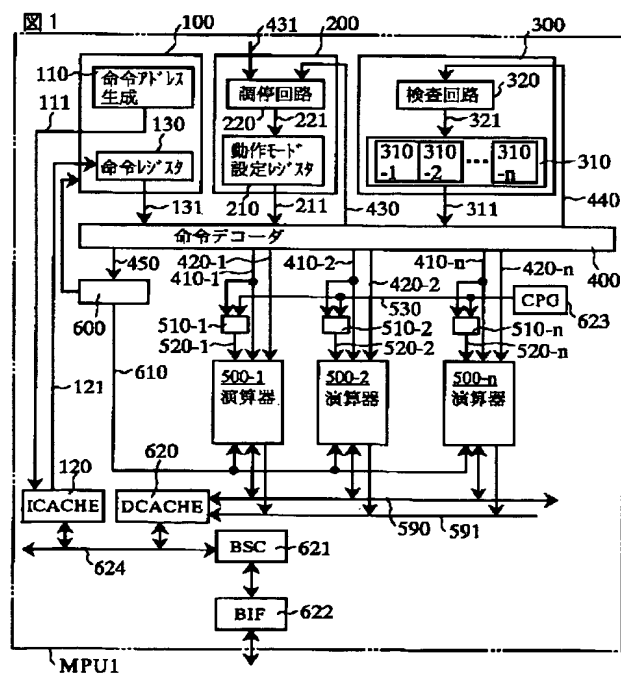
【図 16】第 5 のマイクロプロセッサに含まれる調停回路の一例を示すブロック図である。

【図 17】第 5 のマイクロプロセッサに含まれる調停回路の一例を示すブロック図である。

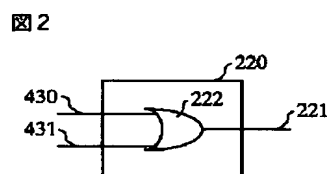
【符号の説明】

- | | |
|-------------|-------------|
| 100 | 命令制御部 |
| 110 | 命令アドレス生成回路 |
| 120 | 命令キャッシュメモリ |
| 130 | 命令レジスタ |
| 200 | 動作モード設定回路 |
| 210 | 動作モード設定レジスタ |
| 220 | 調停回路 |
| 300 | 演算器分類設定回路 |
| 310 | 演算器分類設定レジスタ |
| 320 | 検査回路 |
| 400 | 命令デコーダ |
| 500-1~500-n | 演算器 |
| 510-1~510-n | クロック制御回路 |
| 530 | クロック信号 |
| 550-1~550-n | 使用率計測回路 |
| 570 | 温度計測回路 |
| 600 | 例外処理回路 |

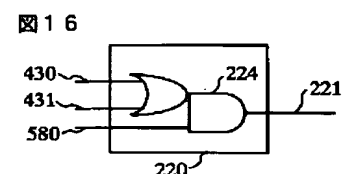
【図 1】



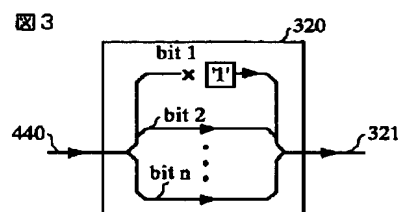
【図 2】



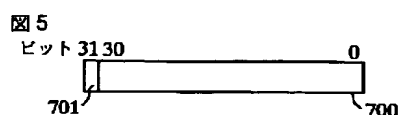
【図 16】



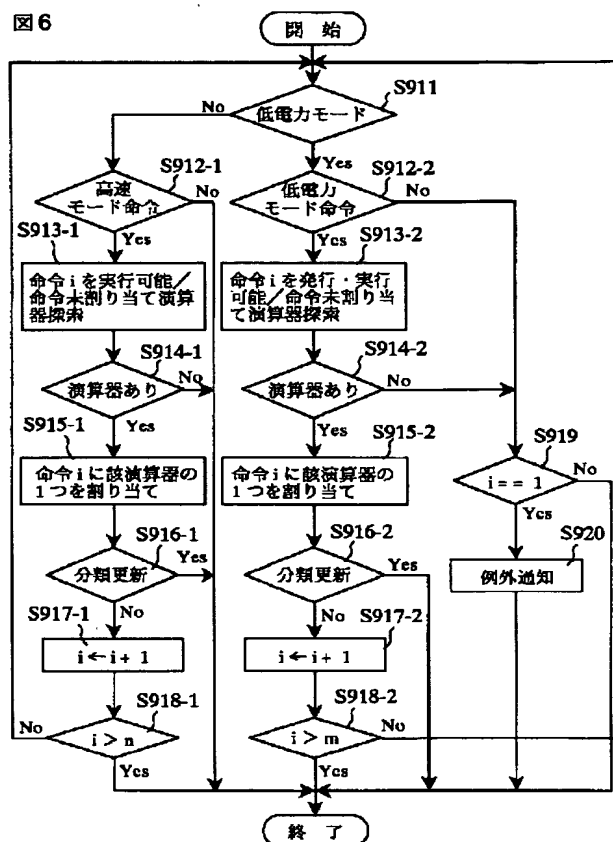
【図 3】



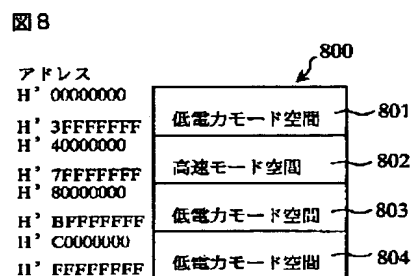
【図 5】



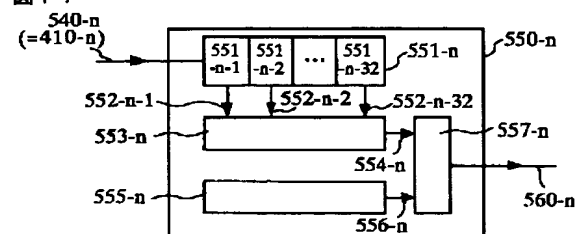
【图 6】



【图 8】

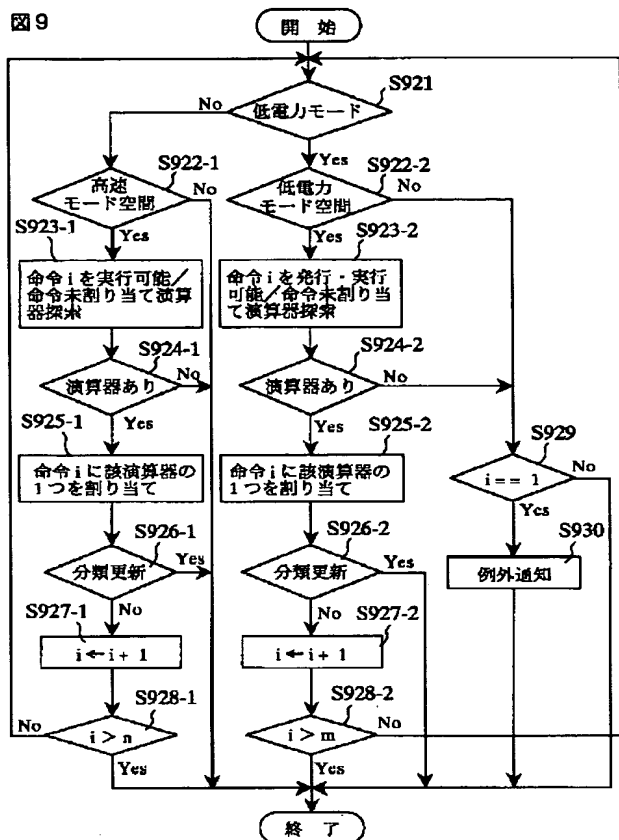


☒ 1 1



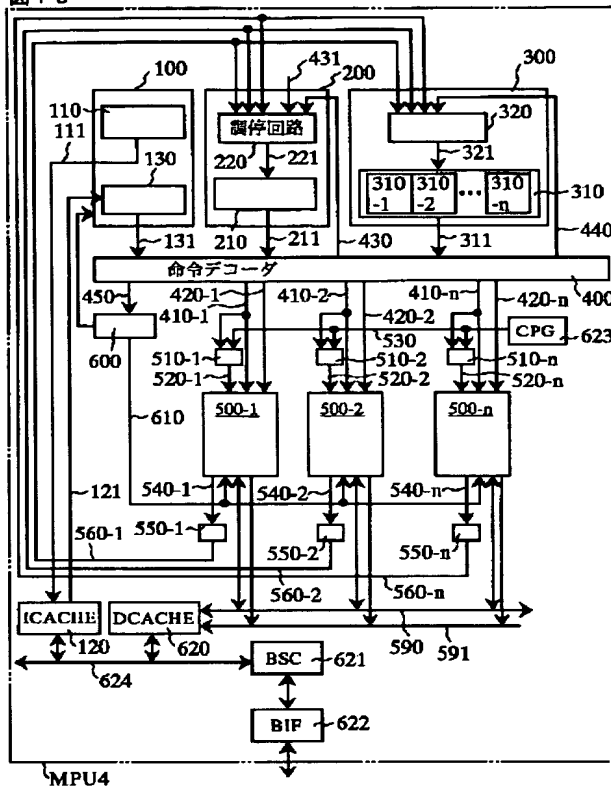
【図 9】

図 9



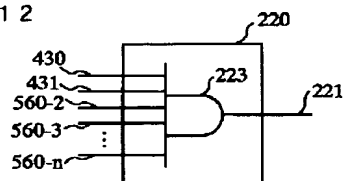
【図 10】

図 10



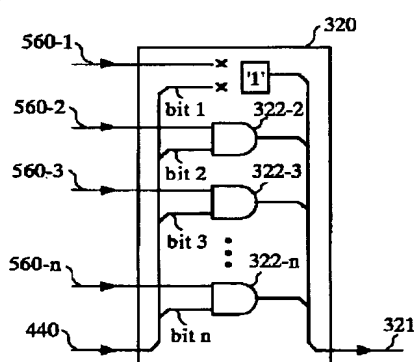
【図 12】

図 12



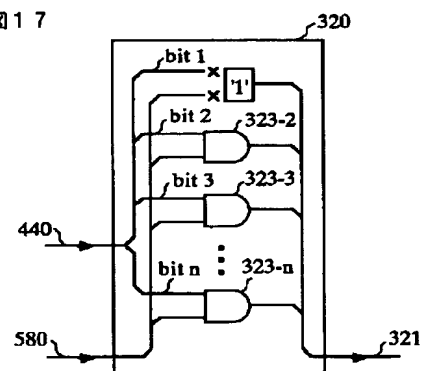
【図 13】

図 13



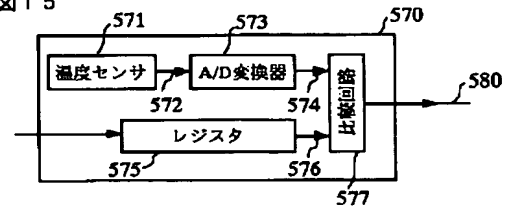
【図 17】

図 17



【図 15】

15



テーマコード* (参考)

3 5 0 F

3 6 0

5 1 0

5 1 0 P

A

5B022 AA02 CA03 CA07 FA09
5B033 AA05 BA00 BC00 BE05 BF04
5B062 AA05 AA08 AA10 CC04 DD10
HH06 JJ06
5B079 AA07 BA12 BB01 BC01